

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-276730

(43)Date of publication of application : 06.12.1991

(51)Int.Cl.

H01L 21/336

H01L 21/265

H01L 29/784

(21)Application number : 02-077651

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 27.03.1990

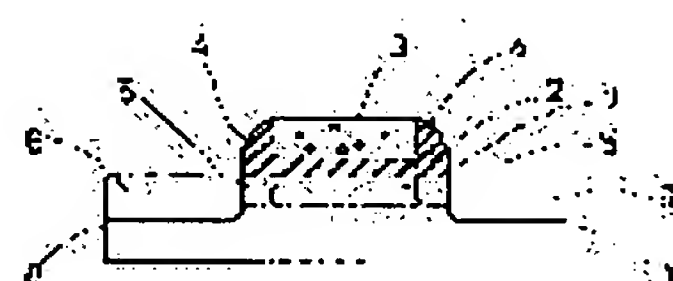
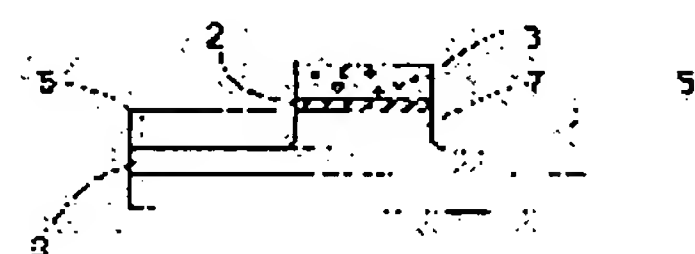
(72)Inventor : ITOU MARIKO

## (54) MOS TRANSISTOR AND MANUFACTURE THEREOF

## (57)Abstract:

PURPOSE: To decrease a threshold voltage and to suppress a short-channel effect by forming a low-concentration first-conductivity type surface layer on the surface of a first-conductivity type silicon substrate, and forming second-conductivity type first and second diffusing layers and a high-concentration first-conductivity type semiconductor region.

CONSTITUTION: In a silicon substrate 1 (p-type well region), a low-concentration n--type diffusing region 5 (second-conductivity type first diffusing region) which is to become the parts of a source and a drain) is formed directly beneath a side wall oxide film 4. A high-concentration n+-type diffusing region 6 (second-conductivity type second diffusing region) which is to become the source and the drain is formed in the lateral direction of the n--type diffusing region 5. A low-concentration p--type surface layer 7 (first conductivity type surface layer) is formed in a region which is bonded to the n--type diffusing region 5 in the vicinity of the surface of the silicon substrate 1. A high-concentration p+-type semiconductor region 8 (first-conductivity type semiconductor region) is formed directly beneath the p--type surface layer 7, the n--type diffusing region 5 and the p+-type diffusing region 6.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

文庫3

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-276730

⑤ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)12月6日

H 01 L 21/336  
21/265  
29/784

8422-4M H 01 L 29/78 3 0 1 L  
7738-4M 21/265 L  
8422-4M 29/78 3 0 1 H

審査請求 未請求 請求項の数 2 (全7頁)

⑭ 発明の名称 MOSトランジスタおよびその製造方法

⑮ 特 願 平2-77651

⑯ 出 願 平2(1990)3月27日

⑰ 発 明 者 伊 藤 麻 理 子 大阪府門真市大字門真1006番地 松下電子工業株式会社内  
⑱ 出 願 人 松下電子工業株式会社 大阪府門真市大字門真1006番地  
⑲ 代 理 人 弁理士 宮 井 暎 夫

明 細 書

1. 発明の名称

MOSトランジスタおよびその製造方法

2. 特許請求の範囲

(1) 第1導電型のシリコン基板と、

このシリコン基板上に形成したゲート電極と、

このゲート電極の端下に形成したソースおよび  
ドレインの一部となる低濃度の第2導電型の第1  
の拡散領域と、

この第2導電型の第1の拡散領域の外側に形成  
したソースおよびドレインとなる高濃度の第2導  
電型の第2の拡散領域と、

前記シリコン基板の表面付近に、前記第2導電  
型の第1の拡散領域と接合するように形成した低  
濃度の第1導電型の表面層と、

この第1導電型の表面層、前記第2導電型の第  
1の拡散領域および前記第2導電型の第2の拡散  
領域の直下に形成した高濃度の第1導電型の半導  
体領域とを備えたMOSトランジスタ。

(2) 第1導電型のシリコン基板上に保護膜を形

成する工程と、

この保護膜を介して前記シリコン基板中に不純  
物をイオン注入することにより、前記シリコン基  
板の表面から深いところまで高濃度の第1導電型  
の半導体領域を形成する工程と、

前記シリコン基板中に不純物をイオン注入する  
ことにより、前記シリコン基板の表面付近に低濃  
度の第1導電型の表面層を形成する工程と、

前記シリコン基板上にゲート電極を形成する工  
程と、

このゲート電極をマスクとして用いた不純物の  
イオン注入により、前記ゲート電極の端下にソー  
スおよびドレインの一部となる低濃度の第2導電  
型の第1の拡散領域を形成する工程と、

前記ゲート電極の側壁にスペーサとなる側壁絶  
縁膜を形成する工程と、

前記ゲート電極および前記側壁絶縁膜をマスク  
として用いた不純物のイオン注入により、ソース  
およびドレインとなる高濃度の第2導電型の第2  
の拡散領域を形成する工程とを含むMOSトラン

ジスタの製造方法。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

この発明は、低濃度拡散ドレイン構造（以下「**LDD**」という。）を有する**MOS**トランジスタおよびその製造方法に関するものである。

#### (従来の技術)

従来の**LDD**構造の**MOS**トランジスタについて、第4図に基づいて説明する。

第4図は従来の**N**チャネル型**MOS**トランジスタの要部を示す断面図である。

第4図に示すように、シリコン基板1'（**p**型ウェル領域）上に酸化膜（図示せず）を堆積し、この酸化膜上にポリシリコン膜（図示せず）を堆積した後、フォトリソグラフィ技術等により、ゲート酸化膜2が形成され、さらにゲート酸化膜2上にポリシリコン膜からなるゲート電極3が形成される。

そしてゲート電極3をマスクとして用いて、燐（**P**）をイオン注入することにより、低濃度の $n^-$

3

キャリアの注入が促進され、かつトラップ（捕獲）されやすくなり、**MOS**トランジスタの特性が劣化するという問題があった。

また性能を引き出すために、閾値電圧 $V_{th}$ を低下させると、短チャネル効果が著しくなるという問題があった。

この発明の目的は、上記問題点に鑑み、ホットキャリアのトラップ量を低減でき、短チャネル効果を抑制し、かつ閾値電圧 $V_{th}$ を低減できる**MOS**トランジスタおよびその製造方法を提供するものである。

#### (課題を解決するための手段)

請求項(1)記載の**MOS**トランジスタは、第1導電型のシリコン基板と、このシリコン基板上に形成したゲート電極と、このゲート電極の端下に形成したソースおよびドレインの一部となる低濃度の第2導電型の第1の拡散領域と、この第2導電型の第1の拡散領域の外側に形成したソースおよびドレインとなる高濃度の第2導電型の第2の拡散領域と、シリコン基板の表面付近に、第2導電

型領域5が形成される。

次にゲート電極3の側壁に化学的気相成長法（**CVD**法）により、スペーサとなる側壁酸化膜4が形成される。

そしてゲート電極3および側壁絶縁膜4をマスクとして用い、ヒ素（**As**）をイオン注入することにより、**MOS**トランジスタのドレインおよびソースとなる高濃度の $n^-$ 拡散領域6が形成される。

このような**LDD**構造を有する**MOS**トランジスタは、低濃度の $n^-$ 拡散領域5を形成することによって、ゲート電極3の端下の不純物濃度勾配を緩和することによって、ドレイン近傍の電界強度を低減させることができる。

#### (発明が解決しようとする課題)

しかしながら、このような従来の**MOS**トランジスタにおいて、ホットキャリアが発生した場合、その発生箇所は側壁絶縁膜4の下部である。一方側壁酸化膜4は、**CVD**法により形成され、界面単位が多い。したがって側壁絶縁膜4へホットキ

4

型の第1の拡散領域と接合するように形成した低濃度の第1導電型の表面層と、この第1導電型の表面層、第2導電型の第1の拡散領域および第2導電型の第2の拡散領域の直下に形成した高濃度の第1導電型の半導体領域とを備えたものである。

請求項(2)記載の**MOS**トランジスタの製造方法は、第1導電型のシリコン基板上に保護膜を形成する工程と、この保護膜を介してシリコン基板中に不純物をイオン注入することにより、シリコン基板の表面から深いところまで高濃度の第1導電型の半導体領域を形成する工程と、シリコン基板中に不純物をイオン注入することにより、シリコン基板の表面付近に低濃度の第1導電型の表面層を形成する工程と、シリコン基板上にゲート電極を形成する工程と、このゲート電極をマスクとして用いた不純物のイオン注入により、ゲート電極の端下にソースおよびドレインの一部となる低濃度の第2導電型の第1の拡散領域を形成する工程と、ゲート電極の側壁にスペーサとなる側壁絶縁膜を形成する工程と、ゲート電極および側壁絶縁

膜をマスクとして用いた不純物のイオン注入により、ソースおよびドレインとなる高濃度の第2導電型の第2の拡散領域を形成する工程とを含む。

(作用)

この発明の構成によれば、第1導電型のシリコン基板の表面に低濃度の第1導電型の表面層を形成することにより、閾値電圧を低下させることができ、かつソースおよびドレインとなる第2導電型の第1の拡散領域および第2導電型の第2の拡散層と、第1導電型の表面層との直下に高濃度の第1導電型の半導体領域を形成することにより、空乏層の広がりを抑制することによって、短チャネル効果を抑制することができる。また低濃度の第1導電型の表面層および低濃度の第2導電型の第1の拡散領域を形成することにより、ドレイン近傍の電界を緩和し、電界強度のピークを側壁酸化膜の直下からゲート電極の端下に移動させることができ、側壁酸化膜へのホットキャリアのトラップ量を低減することができる。

(実施例)

7

第2図(a)~(f)はこの発明の一実施例のMOSトランジスタの製造方法をNチャネル型MOSトランジスタに適用した例を示す工程順断面図である。

第2図(a)に示すように、シリコン基板1(p型ウェル領域)の表面を熱酸化することにより、保護膜となる膜厚約500Åの酸化ケイ素膜9を形成する。

次に第2図(b)に示すように、酸化ケイ素膜9を介してシリコン基板1中に、ドーザ量約 $2 \times 10^{12} \text{ cm}^{-2}$ のボロン(B)をイオン注入(加速電圧150 keV、矢印A)することにより、シリコン基板1の表面から深いところまで高濃度のp<sup>+</sup>型半導体領域8を形成する。

次に第2図(c)に示すように、表面にドーザ量約 $2 \times 10^{11} \text{ cm}^{-2}$ のリン(P)をイオン注入することにより、高濃度のp<sup>+</sup>型半導体領域8の表面の濃度を低下させることによって、低濃度のp<sup>+</sup>型の表面層7を形成する。

次に保護膜である酸化ケイ素膜9を除去し、p<sup>+</sup>型の表面層7の表面を熱酸化することにより、膜

第1図はこの発明の一実施例のNチャネル型MOSトランジスタの要部を示す断面図である。

第1図に示すように、シリコン基板1上には、ゲート酸化膜2を形成し、ゲート酸化膜2上にはゲート電極3を形成し、ゲート電極3の側壁には側壁酸化膜4を形成した。

シリコン基板1(p型ウェル領域)において、側壁酸化膜4の直下にはソースおよびドレインの一部となる低濃度のn<sup>-</sup>型拡散領域5(第2導電型の第1の拡散領域)を形成し、このn<sup>-</sup>型拡散領域5の横方向には、ソースおよびドレインとなる高濃度のn<sup>+</sup>型拡散領域6(第2導電型の第2の拡散領域)を形成した。またシリコン基板1の表面付近であり、かつn<sup>-</sup>型拡散領域5と接合する領域には、低濃度のp<sup>+</sup>型の表面層7(第1導電型の表面層)を形成した。

またp<sup>+</sup>型の表面層7、n<sup>-</sup>型拡散領域5およびn<sup>+</sup>型拡散領域6の直下には、高濃度のp<sup>+</sup>型半導体領域8(第1導電型の半導体領域)を形成した。

8

厚約170Åの酸化ケイ素膜10を形成する。そしてこの酸化ケイ素膜10上にLPCVD(減圧CVD)により、膜厚約4000Åの多結晶シリコン膜11を形成する。

次に第2図(d)に示すように、ホトレジスト技術およびエッチング技術により、酸化ケイ素膜10および多結晶シリコン膜11を配線形状にエッチングすることによって、ゲート酸化膜2およびゲート電極3を形成する。

次に第2図(e)に示すように、ゲート電極3をマスクに用いて、p<sup>+</sup>型の表面層7にドーザ量約 $2 \times 10^{12} \text{ cm}^{-2}$ のリン(P)をイオン注入(加速電圧30 keV)することにより、ソースおよびドレインの一部となる低濃度のn<sup>-</sup>型拡散領域5(第2導電型の第1の拡散領域)を形成する。

次に第2図(f)に示すように、CVD法により、表面に膜厚約2500Åの酸化ケイ素膜(図示せず)を堆積し、ホトリソグラフィ技術およびエッチング技術により、スペーサとなる側壁酸化膜4を形成する。



その後、この側壁酸化膜4およびゲート電極3をマスクに用いて、ドーズ量約 $5 \times 10^{15} \text{cm}^{-2}$ のヒ素(As)をイオン注入することにより、ソースおよびドレインとなる高濃度の $n^+$ 型拡散領域6(第2導電型の第2の拡散領域)を形成する。

このように形成したMOSトランジスタは、シリコン基板1の表面に、低濃度の $p^+$ 型の表面層7を形成することにより、閾値電圧の低下させることができ、かつ $p^+$ 型の表面層7と、ソースおよびドレインとなる低濃度の $n^+$ 型拡散領域5および高濃度の $n^+$ 型拡散領域6との直下に高濃度の $p^+$ 型半導体領域8を形成することにより、空乏層の広がり抑制することによって、短チャネル効果の抑制することができる。また低濃度の $p^+$ 型の表面層7および低濃度の $n^+$ 型拡散領域5を形成することにより、ドレイン近傍の電界強度を緩和することができ、電界ピークの位置を側壁酸化膜4の直下からゲート電極3の端下に移動させることによって、側壁酸化膜4中へのホットキャリアのトラップ(捕獲)量を低減することができる。

11

なおこの実施例は、Nチャネル型MOSトランジスタおよびその製造方法を示したが、Pチャネル型MOSトランジスタにも適用できる。その場合、シリコン基板にイオン注入する不純物の導電型を $n$ 型から $p$ 型および $p$ 型から $n$ 型に変更すれば良い。

#### (発明の効果)

この発明のMOSトランジスタおよびその製造方法によれば、第1導電型のシリコン基板の表面に低濃度の第1導電型の表面層を形成することにより、閾値電圧を低下させることができ、かつソースおよびドレインとなる第2導電型の第1の拡散領域および第2導電型の第2の拡散層と、第1導電型の表面層との直下に高濃度の第1導電型の半導体領域を形成することにより、空乏層の広がり抑制することによって、短チャネル効果を抑制することができ、パンチスルーの発生をなくすることができる。また低濃度の第1導電型の表面層および低濃度の第2導電型の第1の拡散領域を形成することにより、ドレイン近傍の電界を緩和し、

る。

第3図は実施例および従来例のNチャネル型MOSトランジスタを構成するシリコン基板の表面から深さ方向の不純物濃度を示す図である。

第3図において、縦軸は不純物濃度、横軸はシリコン基板の表面から深さ方向の位置(すなわち第1図および第4図において、シリコン基板1、1'のZ部)を示す。またXは実施例のシリコン基板の深さ方向の不純物濃度、Yは従来例のシリコン基板の深さ方向の不純物濃度を示し、 $X_0$ はソースおよびドレインの拡散長を示す。

第3図に示すように、従来例のシリコン基板の不純物濃度は、シリコン基板1'の表面付近にピークがあり、深さ方向に低濃度となっているのに対して、実施例のシリコン基板1の不純物濃度は、シリコン基板1の表面は比較的低濃度(低濃度の $p^+$ 型の表面層7による。)であり、不純物濃度のピークの位置がソースおよびドレインとなる高濃度の $n^+$ 拡散領域6と、高濃度の $p^+$ 型半導体領域8との界面付近に相当する位置にある。

12

電界強度のピークを側壁酸化膜の直下からゲート電極の端下に移動させることができ、側壁酸化膜へのホットキャリアのトラップ量を低減することができる。その結果、短チャネル効果を抑制し、かつ閾値電圧を低減できる高性能のMOSトランジスタを得ることができる。

#### 4. 図面の簡単な説明

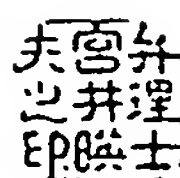
第1図はこの発明の一実施例のNチャネル型MOSトランジスタの要部を示す断面図、第2図(a)~(f)はこの発明の一実施例のMOSトランジスタの製造方法をNチャネル型MOSトランジスタに適用した例を示す工程順断面図、第3図は実施例および従来例のNチャネル型MOSトランジスタを構成するシリコン基板の表面から深さ方向の不純物濃度を示す図、第4図は従来例のNチャネル型MOSトランジスタの要部を示す断面図である。

1…シリコン基板、3…ゲート電極、4…側壁絶縁膜、5… $n^+$ 拡散領域(第2導電型の第1の拡散領域)、6… $n^+$ 拡散領域(第2導電型の第2の拡散領域)、7…表面層、8… $p^+$ 型半導体

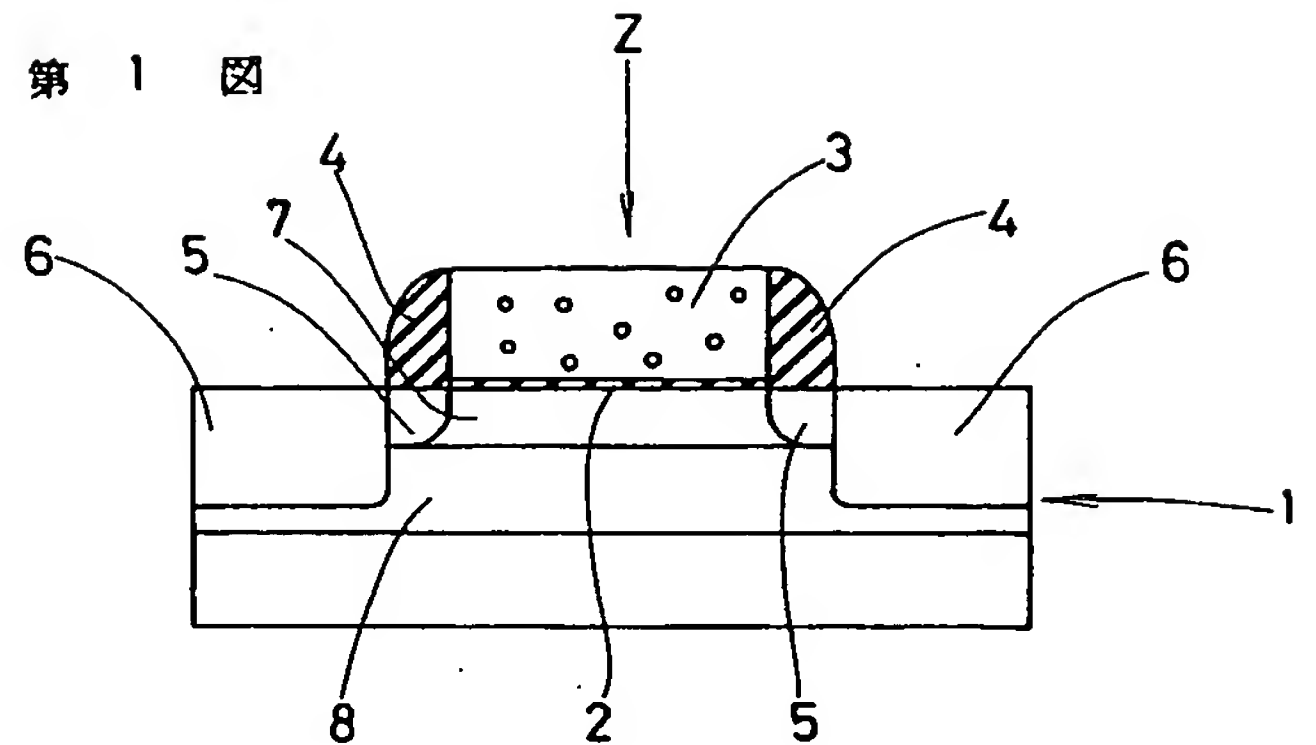
領域 8 (第 1 導電型の半導体領域)、9 …酸化シリコン膜 (保護膜)

特許出願人 松下電子工業株式会社

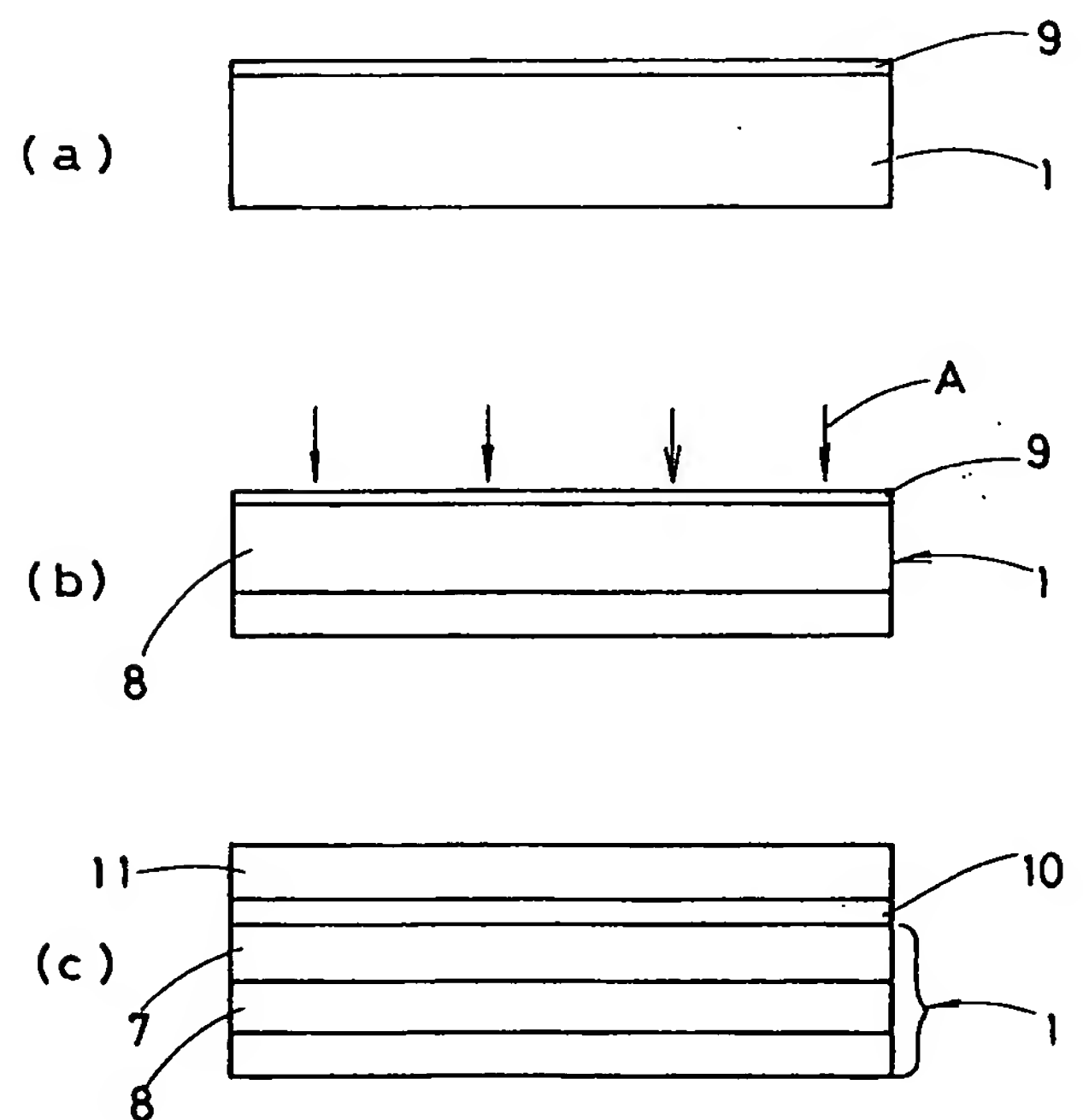
代理人 弁理士 宮井 咲夫



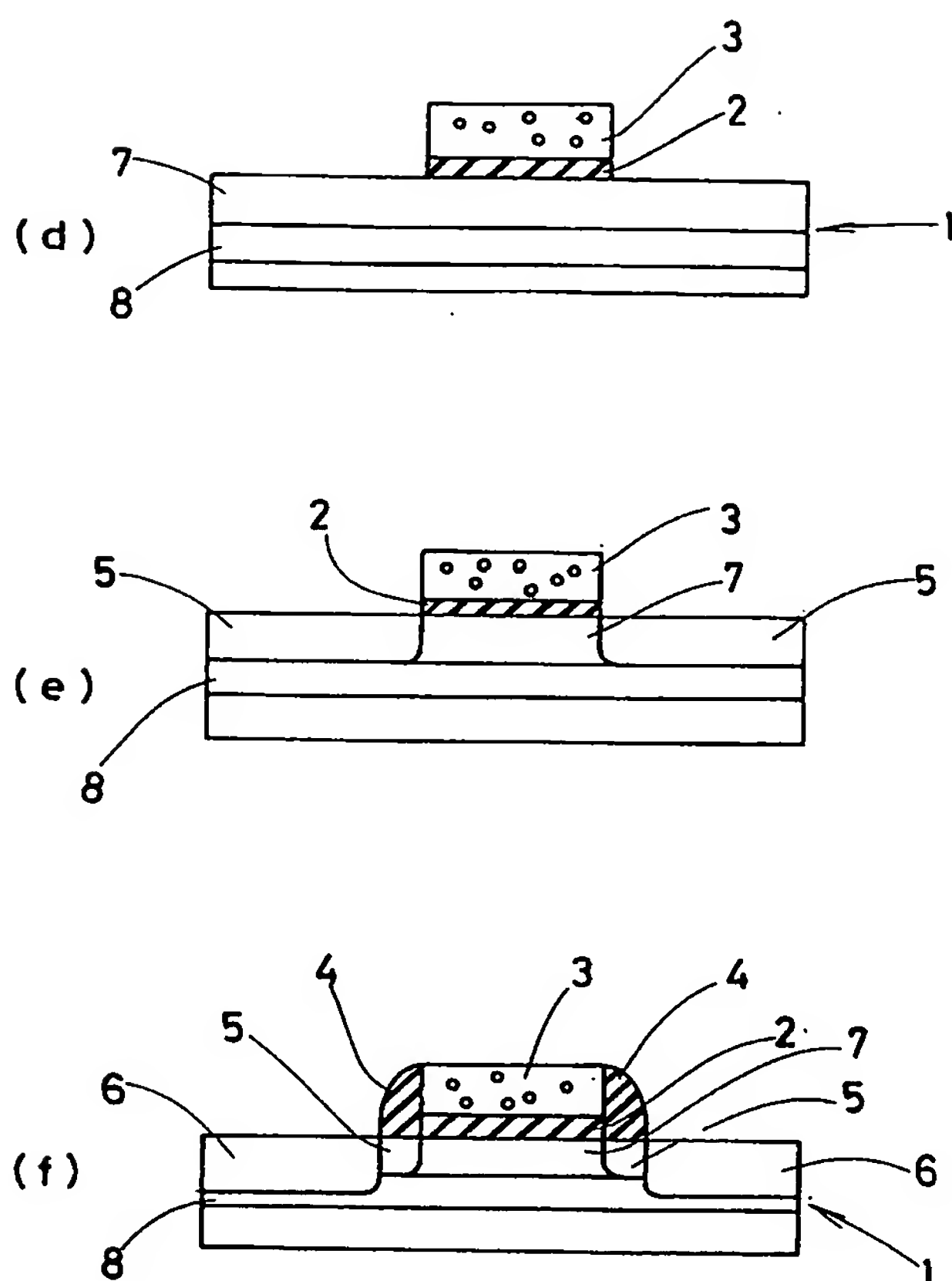
- 1 ... シリコン基板
- 3 ... ゲート電極
- 4 ... 側壁絶縁膜
- 5 ...  $n^-$  拡散領域 (第2導電型の第1の拡散領域)
- 6 ...  $n^+$  拡散領域 (第2導電型の第2の拡散領域)
- 7 ...  $p^-$  表面層 (第1導電型の表面層)
- 8 ...  $p^+$  型半導体領域8 (第1導電型の半導体領域)
- 9 ... 酸化シリコン膜 (保護膜)



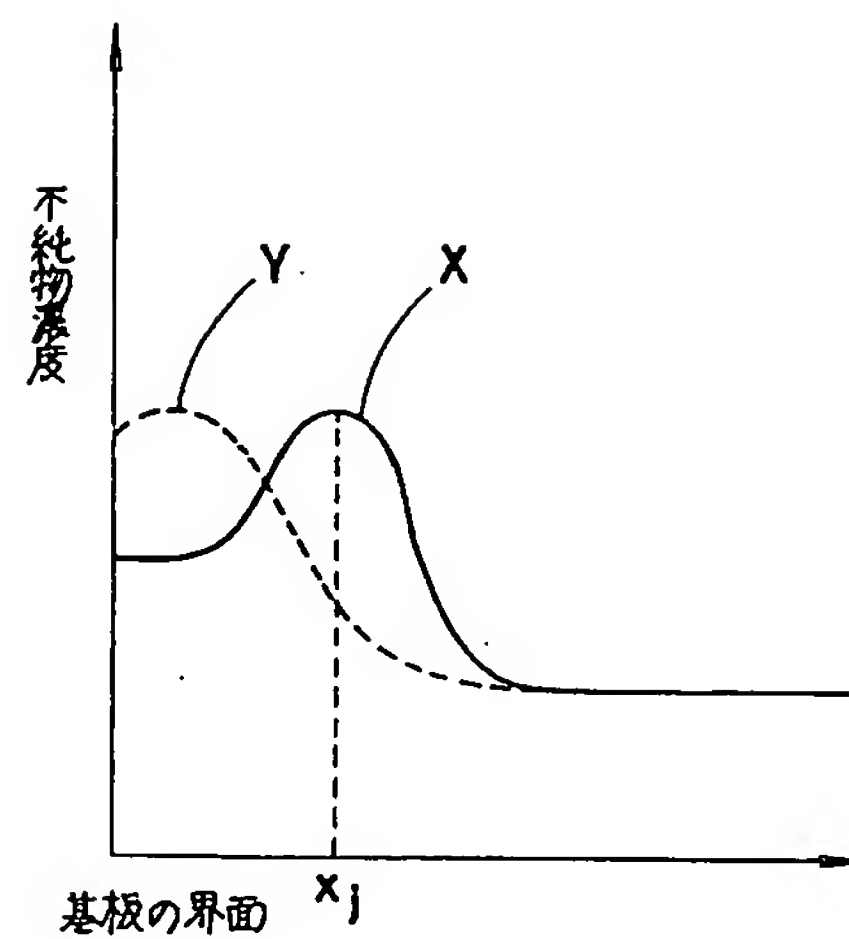
第 2 図



第 2 図



第 3 図



第 4 図

